

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Sung-ho LEE et al. :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: MARCH 25, 2004 : Attorney Docket No. SEC.1147
For: BYTE-OPERATIONAL NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

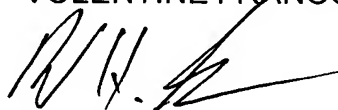
Appln. No. 2003-0024779 filed April 18, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Daniel H. Sherr
Registration No. 46,425

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: March 25, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0024779
Application Number

출원 년 월 일 : 2003년 04월 18일
Date of Application APR 18, 2003

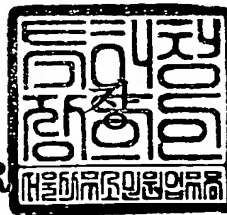
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.04.18
【국제특허분류】	G11C
【발명의 명칭】	바이트 오퍼레이션 비휘발성 반도체 메모리 장치
【발명의 영문명칭】	A byte-operational non-volatile semiconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김성호
【성명의 영문표기】	KIM, Sung Ho
【주민등록번호】	720222-1559911
【우편번호】	447-010
【주소】	경기도 오산시 오산동 920-2 주공아파트 209동 1004호
【국적】	KR
【발명자】	
【성명의 국문표기】	이내인
【성명의 영문표기】	LEE, Nae In
【주민등록번호】	650210-1224318

【우편번호】	151-755
【주소】	서울특별시 관악구 봉천3동 관악현대아파트 116동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	고광욱
【성명의 영문표기】	KOH, Kwang Wook
【주민등록번호】	670214-1495518
【우편번호】	463-751
【주소】	경기도 성남시 분당구 불정동(정든마을) 동아2단지아파트 205동 1306 호
【국적】	KR
【발명자】	
【성명의 국문표기】	배금종
【성명의 영문표기】	BAE, Geum Jong
【주민등록번호】	670814-1340511
【우편번호】	441-704
【주소】	경기도 수원시 권선구 금곡동 530번지 LG빌리지 304동 1402호
【국적】	KR
【발명자】	
【성명의 국문표기】	김기철
【성명의 영문표기】	KIM, Ki Chul
【주민등록번호】	670815-1347516
【우편번호】	442-727
【주소】	경기도 수원시 팔달구 영통동 신나무실주공5단지아파트 508동 102호
【국적】	KR
【발명자】	
【성명의 국문표기】	김진희
【성명의 영문표기】	KIM, Jin Hee
【주민등록번호】	730408-2000118
【우편번호】	463-020
【주소】	경기도 성남시 분당구 수내동 104동 8호
【국적】	KR



1020030024779

출력 일자: 2003/12/31

【발명자】

【성명의 국문표기】 조인욱
【성명의 영문표기】 CH0, In Wook
【주민등록번호】 680821-1140615
【우편번호】 449-843
【주소】 경기도 용인시 수지읍 상현리 서원마을 금호베스트빌3차아파트 511동 702호
【국적】 KR

【발명자】

【성명의 국문표기】 김상수
【성명의 영문표기】 KIM, Sang Su
【주민등록번호】 711223-1041811
【우편번호】 442-757
【주소】 경기도 수원시 팔달구 원천동 원천주공아파트 108동 703호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	14	면	14,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	28	항	1,005,000	원
【합계】			1,048,000	원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

바이트 단위로 저장된 정보를 일괄 소거할 수 있는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치에 대하여 개시한다. 본 발명의 일 실시예에 의한 반도체 메모리 장치에 의하면, 메모리 셀 어레이를 구성하는 바이트 메모리 셀은, 일 방향으로 길게 배열되어 액티브 영역에 각각의 정션 영역 및 채널 영역이 형성되어 있는 1바이트 메모리 트랜지스트와 액티브 영역에 형성되어 있고, 정션 영역이 1바이트 메모리 트랜지스트 각각의 정션 영역과 직접 연결되어 있는 바이트 선택 트랜지스터를 포함한다. 그리고, 바이트 선택 트랜지스터는 1바이트 메모리 트랜지스터가 배열되어 있는 방향에 수직인 방향으로 상부 또는 하부에 위치한다.

【대표도】

도 3

【색인어】

비휘발성 메모리(NVM), 바이트 오퍼레이션, 바이트 선택 트랜지스터, 채널 핫 일렉트론 인젝션(CHEI), 소스 사이드 인젝션(SSI)

【명세서】

【발명의 명칭】

바이트 오퍼레이션 비휘발성 반도체 메모리 장치{A byte-operational non-volatile semiconductor memory device}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 바이트 오퍼레이션 비휘발성 반도체 메모리 장치의 메모리 셀 등가회로의 일 예를 도시하고 있는 메모리 셀 등가회로도이다.

도 2는 본 발명의 바이트 오퍼레이션 반도체 메모리 장치에 대한 메모리 셀 등가회로를 도시하고 있는 메모리 셀 등가회로도이다.

도 3은 본 발명에 따른 바이트 오퍼레이션 비휘발성 반도체 메모리 장치에 대한 메모리 셀 레이아웃의 일 실시예를 도시하고 있는 도면이다.

도 4a는 도 3의 A-A'라인을 따라 절단한 개략적인 단면도의 일 실시예이다.

도 4b는 도 3의 A-A'라인을 따라 절단한 개략적인 단면도의 다른 실시예이다.

(도면의 주요 부분에 대한 부호의 설명)

GSL : 글로벌 소스 라인 LSL : 로컬 소스 라인

WL : 워드 라인 BL : 비트 라인

BS : 바이트 선택 라인

300 : 기판 310a, 310b : 웰 영역(well region)

320, 322, 324 : 소스/드레인 영역 또는 정션 영역

331, 333, 336 : 산화막 332a, 332b : 질화막

334 : 메모리 트랜지스터의 게이트 전극

338 : 선택 트랜지스터 게이트의 게이트 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 비휘발성 메모리(Non-Volatile Memory, NVM) 장치에 관한 것으로, 보다 구체적으로는 바이트 오퍼레이션(byte-operation) 비휘발성 반도체 메모리 장치에 관한 것이다.
- <16> 비휘발성 반도체 메모리 장치는 외부로부터의 전원 공급이 중단되어도 데이터를 계속 보존하는 특성을 갖는다. 비휘발성 반도체 메모리 장치는 마스크 롬(Mask ROM), 이피롬(EPROM), 이이피롬(EEPROM) 등으로 구분할 수 있으며, 일괄 소거형 이이피롬은 특히 플래쉬 메모리(flash memory) 또는 플래쉬 이이피롬(flash EEPROM) 등으로 불린다.
- <17> 이이피롬 장치의 1비트 메모리 셀에는 통상적으로 2개의 트랜지스터가 포함된다. 2개의 트랜지스터는 비트 메모리 셀을 선택하기 위한 비트 선택 트랜지스터(Bit Select Transistor)와 정보를 저장하기 위한 메모리 트랜지스터(Memory Transistor)이다. 그리고, 이이피롬의 메모리 트랜지스터는 프로그램 동작이나 소거(erase) 동작 시에 통상 F-N 터널링 방식으로 작동한다.
- <18> 반면, 일괄 소거형 플래쉬 메모리 장치는 메모리 셀에 저장된 정보를 일괄적으로 소거한다. 한번에 소거할 수 있는 정보의 양에 따라서 블록 소거형, 섹터 소거형 또는 페이지 소거형 등이 있다. 이와 같은 일괄 소거형 플래쉬 메모리 장치의 1비트 메모리 셀은 통상적으로 1개의 메모리 트랜지스터로 구성된다.

- <19> 플래쉬 메모리 장치는 메모리 셀의 연결 상태에 따라 낸드(NAND)형과 노어(NOR)형으로 구분할 수 있다. 낸드형 플래시 메모리는 프로그램 및 소거 동작이 빠른 장점이 있는 반면에 랜덤 액세스(random access)가 불가능한 단점이 있다. 반대로, 노어형 플래시 메모리는 프로그램 및 소거 동작은 빠르지 않지만 랜덤 액세스가 가능한 장점이 있다.
- <20> 이러한 상반된 특성 이외에도 낸드형 플래시 메모리와 노어형 플래시 메모리는 작동 방식에도 상이한 점이 존재한다. 즉, 소거 동작 시에는 2가지 유형 모두 일반적으로 F-N 터널링 방식으로 작동하지만, 프로그램 동작 시에는 낸드형은 일반적으로 F-N 터널링 방식으로, 노어형은 일반적으로 채널 핫 일렉트론 인젝션(CHEI) 방식으로 작동한다.
- <21> 채널 핫 일렉트론 인젝션 방식이란 소스와 드레인 사이에 전위차가 생기게 하여 전류가 흐르게 한 다음, 게이트 전극에 상대적으로 높은(낮은) 전압을 가함으로써 플로팅 게이트나 절화막 등의 절연막에 전자(정공)를 주입 또는 트랩시키는 방식이다. 전자 또는 정공이 트랩되는 현상이 소스 부근에서 발생하기 때문에 이 방식은 소스 사이드 인젝션(Source Side Injection, SSI) 방식이라고도 한다.
- <22> 비휘발성 메모리 장치는 이상의 대표적인 유형 이외에도 여러 가지 종류가 있으며, 현재 그 응용 분야가 지속적으로 확대되고 있다. 비휘발성 메모리 장치는 메모리 카드의 내장형 메모리로서도 또한 널리 사용되고 있는데 특히, 플래쉬 메모리는 일반적으로 이동 전화와 셋톱박스, MP3플레이어, 디지털 카메라, 캠코더, PDA 등의 휴대형 디지털 전자기기의 저장매체로 널리 이용되고 있다.
- <23> 메모리 카드의 내장형 메모리로 사용되는 비휘발성 메모리 장치의 경우, 바이트 단위로 일괄 소거하는 방식이 많이 요구되고 있다. 바이트 오퍼레이션(byte-operation) 비휘발성 메모리 장치에 대한 일 예는 미국 특허 출원 제10/022,314호(출원공개번호 2002/0114185 A1)에 개

시되어 있다. 이하에서는, 상기한 문헌을 참조하여 종래 기술에 의한 바이트 오퍼레이션 비휘발성 메모리 장치에 대하여 기술하기로 한다.

<24> 도 1에는 종래 기술에 따른 바이트 오퍼레이션 비휘발성 반도체 메모리 장치의 메모리 셀 등가회로의 일 예가 도시되어 있다. 도면에서 점선으로 표시한 부분은 '바이트 메모리 셀' 즉, 8비트의 단위 메모리 셀을 나타낸다.

<25> 도 1을 참조하면, 바이트 메모리 셀은 메모리 셀 블록과 바이트 오퍼레이션 블록을 포함한다. 메모리 셀 블록은 2개의 트랜지스터(110, 120)가 직렬로 연결되어 있는 1비트 메모리 셀 8개를 포함한다. 이 2개의 트랜지스터(110, 120)는 메모리 트랜지스터(110) 및 비트 선택 트랜지스터(120)이다. 메모리 트랜지스터(110)는 플로팅 게이트 적층형일 수 있으며, 이 경우 프로그램 동작을 할 때나 소거 동작을 할 때에 일반적으로 F-N 터널링 방식으로 작동을 한다. 그리고, 바이트 오퍼레이션 블록은 바이트 선택 트랜지스터(130)를 포함한다.

<26> 도시된 바와 같이, 비트 선택 트랜지스터(120)의 소스(S)는 메모리 트랜지스터(110)의 드레인(D)과 연결되어 있으며, 비트 선택 트랜지스터(120)의 드레인(D)은 m번째 비트 라인 중의 하나(BL_m)에 연결되어 있다. 그리고, 이 비트 라인(BL_m)에는 동일한 열의 다른 바이트 메모리 셀에 어레이 되어 있는 메모리 트랜지스터가 병렬로 연결되어 있다. 그리고, 바이트 선택 트랜지스터(130)의 드레인(D)은 m번째 프로그램 라인(GSL_m)에 연결되고, 바이트 선택 트랜지스터(130)의 소스(S)는 메모리 트랜지스터(110)의 게이트(G)와 연결된다.

<27> 또한, 비트 선택 트랜지스터들(120) 및 바이트 선택 트랜지스터(130)의 게이트는 n번째 워드 라인(WL_n)에 함께 연결되어 있다. 또한, n번째 워드 라인(WL_n)에는 같은 행에 어레이 되어 있는 다른 바이트 메모리 셀의 비트 선택 트랜지스터(120)와 바이트 선택 트랜지스터(130)도 연결되어 있다.

- <28> 상기한 등가회로가 구현된 비휘발성 반도체 메모리 장치는 다음과 같은 특징이 있다.
- <29> 첫째, 바이트 선택 트랜지스터(130)에 의하여 바이트 단위로 비트 메모리 셀을 선택하는 것이 가능하므로, 바이트 단위로 저장된 데이터를 일괄 소거하는 것이 가능하다.
- <30> 둘째, 상기한 반도체 메모리 장치는 프로그램, 소거 및 리드 동작 시에 바이트 트랜지스터를 통하여 전달된 전압이 메모리 트랜지스터(110)의 게이트(G)에 인가되는 방식으로 동작한다. 즉, 소스(S)에서의 전압 특성이 반도체 메모리 장치의 동작 특성에 중요한 영향을 미치며, 바이트 선택 트랜지스터(130)의 채널을 통해 흐를 수 있는 전류 용량은 반도체 메모리 장치의 동작 특성과 직접적인 관련은 없다.
- <31> 마지막으로 레이아웃의 관점에서, 상기한 반도체 메모리 장치는 바이트 선택 트랜지스터를 각 바이트 메모리 셀의 측면에 배치할 수 있다. 이것은 전술한 바와 같이 바이트 선택 트랜지스터(130)의 채널 전류 용량은 반도체 메모리 장치의 동작 특성에 직접적인 영향을 미치지 않으며, 따라서 바이트 선택 트랜지스터(130)의 채널 폭을 크게 만들어야 할 제약이 거의 없기 때문이다.

【발명이 이루고자 하는 기술적 과제】

- <32> 본 발명이 이루고자 하는 기술적 과제는 바이트 단위로 저장된 정보를 일괄 소거하는 것이 가능하며, 고집적화가 가능한 비휘발성 반도체 메모리 장치의 메모리 셀 레이아웃을 제공하는데 있다.

【발명의 구성 및 작용】

- <33> 상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 바이트 오퍼레이션 비휘발성 반도체 메모리 장치는 액티브 영역 및 소자 격리 영역으로 한정된 반도체 기판, 일 방

향으로 길게 배열되어 액티브 영역에 각각의 정션 영역 및 채널 영역이 형성되어 있는 1바이트 메모리 트랜지스터 및 정션 영역이 상기 1바이트 메모리 트랜지스터 각각의 정션 영역과 직접 연결되어 상기한 액티브 영역에 형성되어 있는 바이트 선택 트랜지스터를 포함한다.

- <34> 상기한 실시예의 일 측면에 의하면 상기한 바이트 선택 트랜지스터는 상기한 1바이트 메모리 트랜지스터가 배열된 방향에 대하여 수직한 방향으로 상기한 1바이트 메모리 트랜지스터의 상부 또는 하부에 형성되어 있을 수 있다.
- <35> 상기한 실시예의 다른 측면에 의하면, 상기한 바이트 선택 트랜지스터의 정션 영역과 직접 연결되어 있는 상기한 1바이트 메모리 트랜지스터 각각의 정션 영역은 소스 영역일 수 있으며, 상기한 1바이트 메모리 트랜지스터 각각의 정션 영역과 직접 연결되어 있는 상기한 바이트 선택 트랜지스터의 정션 영역은 드레인 영역일 수 있다. 그리고, 상기한 바이트 선택 트랜지스터의 정션 영역 및 채널 영역은 불순물이 도핑되지 않은 네이티브 반도체 기판에 형성되거나, 불순물이 도핑된 도전성 웰 영역에 형성되어 있을 수 있다. 후자의 경우, 상기한 1바이트 메모리 트랜지스터의 정션 영역 및 채널 영역도 상기한 도전성 웰 영역에 형성되어 있을 수 있다.
- <36> 상기한 실시예의 또 다른 측면에 의하면, 상기한 1바이트 메모리 트랜지스터를 구성하는 각각의 메모리 트랜지스터는 소스 사이드 인젝션 방식으로 작동하는 소자일 수 있다.
- <37> 그리고, 상기한 바이트 선택 트랜지스터의 채널 영역의 폭은 1바이트 메모리 트랜지스터 각각의 채널 영역의 폭을 합한 것 보다 더 클 수 있다. 또한, 상기한 바이트 선택 트랜지스터의 채널 영역의 폭은 1바이트 메모리 트랜지스터 각각의 채널 영역의 폭의 합과 1바이트 메모리 트랜지스터 각각을 격리시키는 반도체 기판의 격리 영역의 폭의 합을 더한 것과 같거나 더 클 수도 있다.

- <38> 상기한 실시예의 또 다른 일 측면에 의하면, 상기한 1바이트 메모리 트랜지스터를 구성하는 각각의 메모리 트랜지스터는 플로팅 게이트형 트랜지스터이거나, 소노스(SONOS)형 트랜지스터 또는 모노스(MONOS)형 트랜지스터(이하, 양자를 모두 지칭할 때는 '소노스형 메모리 트랜지스터'라고 한다)일 수 있다.
- <39> 특히, 메모리 트랜지스터가 소노스형 메모리 트랜지스터인 경우에, 이 소노스형 메모리 트랜지스터의 게이트 전극 구조물은, 동일한 폭을 가지는 제1 산화막, 질화막, 제2 산화막 및 도전체막이 순차적으로 적층되어 구비되어 있거나, 또는 제1 산화막, 폭의 크기가 제1 산화막의 폭의 크기보다 작은 질화막, 폭의 크기가 제1 산화막의 폭과 같은 제2 산화막 및 폭의 크기가 제1 산화막의 폭과 같은 도전체막이 순차적으로 적층되어 구비되어 있을 수 있다.
- <40> 상기한 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 의한 바이트 오퍼레이션 비휘발성 반도체 메모리 장치는 다수의 바이트 메모리 셀을 포함하는 반도체 메모리 장치로서, 이 바이트 메모리 셀은 1바이트 메모리 트랜지스터가 일 방향으로 길게 배열되어 있는 메모리 셀 블록 및 1바이트 메모리 셀 트랜지스터가 배열되어 있는 방향에 수직한 방향으로 메모리 셀 블록에 대하여 상부 또는 하부에 평행하게 배열되어 있는 바이트 오퍼레이션 블록을 구비한다.
- <41> 그리고, 상기한 반도체 메모리 장치는 1바이트 메모리 트랜지스터 각각의 드레인 영역과 전기적으로 연결되어 있는 다수의 비트 라인, 바이트 선택 트랜지스터의 소스 영역과 전기적으로 연결되어 있는 다수의 글로벌 소스 라인, 1바이트 메모리 트랜지스터 각각의 게이트 전극이 연결되어 있는 다수의 워드 라인 및 바이트 선택 트랜지스터의 게이트 전극이 연결되어 있는 다수의 바이트 선택 라인을 포함할 수 있으며, 상기한 1바이트 메모리 트랜지스터 각각의 소스 영역은 상기한 바이트 선택 트랜지스터의 드레인 영역과 공통 정션 영역을 형성할 수 있다.

- <42> 상기한 실시예의 일 측면에 의하면, 상기한 워드 라인과 상기한 바이트 선택 라인은 서로 평행할 수 있다.
- <43> 상기한 실시예의 다른 측면에 의하면, 상기한 공통 정션 영역은 불순물이 도핑된 도전성 웰 영역 내에 형성되어 있을 수 있거나, 상기한 공통 정션 영역의 일부는 불순물이 도핑된 도전성 웰 영역에 형성되어 있고, 공통 정션 영역의 나머지 일부는 네이티브 반도체 기판에 형성되어 있을 수 있다.
- <44> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예들은 본 발명의 기술적 사상이 철저하고 완전하게 개시될 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위하여 예시적으로 제공되어지는 것이다. 도면들에 있어서, 층 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소를 나타낸다.
- <45> 도 2에는 본 발명에 따른 바이트 오퍼레이션 비휘발성 반도체 메모리 장치에 대한 바이트 메모리 셀의 등가회로도가 도시되어 있다.
- <46> 도 2를 참조하면, 바이트 메모리 셀은 로컬 소스 라인(LSL), 이에 연결된 1바이트의 메모리 셀 트랜지스터(210) 및 바이트 선택 트랜지스터(230)를 구비하며, 인접한 바이트 메모리 셀과는 글로벌 소스 라인(GSL), 비트 라인(BL), 바이트 선택 라인(BSL) 및 워드 라인(WL)에 의하여 서로 연결되어 있다. 도면에서 점선으로 표시한 부분은 바이트 메모리 셀을 나타낸다.

<47> 전술한 바와 같이, 바이트 메모리 셀은 1바이트 메모리 트랜지스터(210)가 구비된 메모리 셀 블록, 로컬 소스 라인(LSL_{nm}) 및 바이트 선택 트랜지스터(230)가 구비된 바이트 오퍼레이션 블록을 포함한다. 1바이트 메모리 트랜지스터(210)는 로컬 소스 라인(LSL_{nm})에 병렬로 연결되어 있다. 그리고, 로컬 소스 라인(LSL_{nm})에는 바이트 선택 트랜지스터(230)도 연결되어 있다. 로컬 소스 라인(LSL_{nm})에는 메모리 트랜지스터(210)와 바이트 선택 트랜지스터의 소스/드레인이 연결되는데, 예를 들어 메모리 트랜지스터(210) 각각의 소스(S)와 바이트 선택 트랜지스터(230)의 드레인(D)이 각각 연결된다.

<48> 바이트 선택 트랜지스터(230)의 또 다른 소스/드레인 예컨대, 소스(S)는 글로벌 소스 라인(GSL_m)에 연결되고, 바이트 선택 트랜지스터(230)의 게이트(G)는 바이트 선택 라인(BSL_n)에 연결된다. 그리고, 메모리 트랜지스터(210) 각각의 또 다른 소스/드레인 예컨대, 드레인(D)은 m 번째 비트 라인(BL_{m0} 내지 BL_{m7} 중의 하나)에 연결되고, 메모리 트랜지스터(210)의 게이트(G)는 n 번째 워드 라인(WL_n)에 연결된다.

<49> 이와 같은 등가 회로의 특징은 바이트 선택 트랜지스터(230)의 드레인(D)이 1바이트 메모리 트랜지스터(210) 각각의 소스(S)와 연결되어 있다는 점이다. 즉, 바이트 선택 트랜지스터(230)의 드레인(D)은 8개의 메모리 트랜지스터(210)가 병렬로 연결되어 있는 로컬 소스 라인(LSL_{nm})을 통하여 메모리 트랜지스터(210) 각각의 소스(S)와 연결되어 있다. 따라서, 바이트 선택 트랜지스터(230)의 채널을 통하여 흐르는 전류는 메모리 트랜지스터(210)의 소스를 통하여 비트 라인으로 흐르게 된다.

<50> 1바이트 메모리 트랜지스터를 구성하는 각각의 메모리 트랜지스터는 F-N 터널링 방식으로 작동하거나 소스 사이드 인젝션 방식으로 작동하는 소자일 수 있다. 이 중에서, 소스 사이

드 인젝션 방식으로 작동하는 소자인 경우에는 메모리 트랜지스터(210)의 소스(S) 및 드레인(D)에 충분한 전위차가 생기도록 할 필요가 있다. 그리고, 메모리 트랜지스터(210)의 채널에 충분한 양의 핫 일렉트론(hot electron)이나 핫 홀(hot hole)을 발생시킬 필요가 있다.

<51> 도시된 등가회로도에 의하면, 1개의 바이트 선택 트랜지스터(230)를 통하여 흐르는 전류는 1바이트 메모리 셀 각각의 메모리 트랜지스터(210)로 공급된다. 그러므로, 메모리 트랜지스터(210)가 소스 사이드 인젝션 방식으로 작동하는 소자인 경우에는, 반도체 메모리 장치의 프로그램, 소거 및 읽기 동작의 특성은 바이트 선택 트랜지스터(230)의 전류 구동 능력과 밀접한 관련이 있다. 즉, 바이트 선택 트랜지스터(230)는 프로그램 동작 시에 동시에 1바이트의 정보를 프로그램하는데 필요한 전류를 메모리 트랜지스터(210)에 공급할 수 있어야 한다.

<52> 또한, 전술한 바와 같이 메모리 트랜지스터(210)에 핫 일렉트론 또는 핫 홀의 충분한 흐름을 발생시키기 위해서는 바이트 선택 트랜지스터(230)를 통하여 메모리 트랜지스터(210)의 소스(S)에 높은 전압이 전달되어야 한다. 예컨대, 프로그램이나 소거 동작 시에 글로벌 소스 라인(GSL_m)을 통하여 인가되는 높은 전압이 메모리 트랜지스터(210)의 소스(S)에 전달될 필요가 있다.

<53> 이를 위해서는, 바이트 선택 트랜지스터(230)의 문턱 전압(V_{th})은 낮게 하는 것이 바람직하다. 바이트 선택 트랜지스터(230)에서 전위가 낮아지는 것을 방지하거나 전위가 낮아지는 것을 최소화하기 위해서는 예를 들어, 문턱 전압(V_{th})이 0V 이하인 것이 바람직하다.

<54> 도 2에 도시된 등가회로가 구현된 바이트 오퍼레이션 비휘발성 반도체 메모리 장치의 프로그램, 소거 및 읽기 동작 시에 각 단자에 인가되는 전위에 대한 구체적인 예는 후술하기로 한다.

- <55> 도 3에는 도 2에 도시된 등가회로가 구현된 본 발명에 따른 바이트 오퍼레이션 비휘발성 반도체 메모리 장치에 대한 일 실시예가 도시되어 있다. 도 3에는 서로 인접한 2바이트의 바이트 메모리 셀 레이아웃이 도시되어 있다.
- <56> 도 3을 참조하면, 바이트 메모리 셀은 1바이트의 메모리 트랜지스터(210)와 바이트 선택 트랜지스터(230)를 포함한다. 그리고, 이것들은 m번째 비트 라인(BL_{m0} 내지 BL_{m7}), m번째 글로벌 소스 라인(GSL_m), n번째 워드 라인(WL_n) 및 n번째 바이트 선택 라인(BS_n)에 의하여 다른 바이트 메모리 셀과 연결되어 있다.
- <57> 반도체 기판의 활성 영역(active area)에 1바이트 메모리 트랜지스터(210)가 일방향(x축 방향)으로 길게 배열되어 있다. 1바이트 메모리 트랜지스터(210)와 그 각각의 게이트 전극을 연결하는 게이트 라인(이것이 연장된 것이 n번째 워드 라인(WL_n)이다)을 포함하여 메모리 블록이 구성된다. 그리고, 메모리 트랜지스터(210)가 배열된 방향에 대하여 수직한 방향(y축 방향)으로 상부 또는 하부에는 바이트 선택 트랜지스터(230)가 배치되어 있다. 바이트 오퍼레이션 블록은 이 바이트 선택 트랜지스터(230)를 포함하여 구성된다. 그리고, 메모리 셀 블록과 바이트 오퍼레이션 블록은 서로 평행하게 배열되어 있다.
- <58> 계속해서 도 3을 참조하면, 각 바이트 메모리 셀의 게이트 라인이 x축 방향으로 길게 연결되어 워드 라인(WL_n)을 이룬다. 그리고, 각 바이트 메모리 셀의 바이트 선택 트랜지스터(230)의 게이트 전극은 x축 방향으로 길게 연결되어 바이트 선택 라인(BSL_n)을 이룬다. 한편, 워드 라인(WL_n)에 대하여 수직한 방향 즉 y축 방향으로 비트 라인(BL_{m0} 내지 BL_{m7}) 및 글로벌 소스 라인(GSL_m) 이 배열된다.

- <59> 그리고, 각각의 메모리 트랜지스터(210)의 정션 즉 소스/드레인은 콘택을 통하여 비트 라인(BL_{m0} 내지 BL_{m7})과 전기적으로 연결된다. 이 콘택은 인접한 바이트 메모리 셀에 있는 메모리 트랜지스터의 드레인과도 연결되는 공유 콘택일 수 있다.
- <60> 전술한 바와 같이, 본 발명에 의한 반도체 메모리 장치는 1바이트 메모리 트랜지스터(210)가 x축 방향으로 길게 배열되어 있고, y축 방향으로 그 상부 또는 하부에 바이트 선택 트랜지스터(230)가 배열되어 있다. 즉, 1바이트 메모리 트랜지스터 각각의 정션 영역 및 바이트 선택 트랜지스터의 정션 영역이 동일한 액티브 영역에 형성되어 서로가 직접 연결되어 있다. 예를 들어, 1바이트 메모리 트랜지스터 각각의 정션 영역 및 바이트 선택 트랜지스터의 정션 영역은 공통 정션 영역을 형성할 수 있으며, 이 경우 1바이트 메모리 트랜지스터의 각각의 소스 영역과 바이트 선택 트랜지스터의 드레인 영역이 공통 정션 영역을 형성할 수 있다.
- <61> 본 발명의 실시예에 의하면 1바이트 메모리 트랜지스터 및 바이트 선택 트랜지스터가 정션 영역을 공유하거나 직접 연결되어 있고, 또한 상, 하로 나란히 배열되어 있기 때문에, 바이트 선택 트랜지스터(230)의 채널 폭을 충분히 넓게 만들 수 있는 장점이 있다. 도 3을 참조하면, 바이트 선택 트랜지스터(230)의 채널 폭은 1바이트 메모리 트랜지스터(210) 각각의 채널 폭을 더한 것보다 더 크다. 뿐만 아니라 바이트 선택 트랜지스터(230)의 채널 폭은 메모리 트랜지스터(210)를 격리하기 위하여 각 메모리 트랜지스터(210) 사이에 위치하는 소자 격리 영역의 폭을 더한 것과 같거나 이 보다 더 크다.
- <62> 이와 같은 레이아웃은 바이트 선택 트랜지스터에 의한 전류 구동 능력이 반도체 메모리 소자의 프로그램, 소거 및 읽기 동작의 특성에 결정적인 역할을 하는 반도체 장치에 바람직하다. 그 이유는, 도시된 방식대로 레이아웃을 하면, 바이트 선택 트랜지스터의 채널 폭을 충분

히 크게 제조하는 것이 가능하기 때문이다. 채널 폭이 크면, 1바이트 메모리 트랜지스터 전부를 구동하기에 충분한 전류를 1개의 바이트 선택 트랜지스터를 통하여 공급할 수가 있다.

<63> 본 발명에 의한 메모리 셀 레이아웃은 고집적화에도 또한 유리하다. 그 이유는 본 실시예에 의한 레이아웃과 바이트 선택 트랜지스터가 1바이트 메모리 트랜지스터의 측면에 배치하는 레이아웃을 서로 비교해보면 알 수 있다.

<64> 바이트 선택 트랜지스터를 1바이트 메모리 트랜지스터가 배열된 방향의 좌, 우 측면에 배열하는 방법은 간단히 다음의 2가지 경우가 있을 수 있다.

<65> 먼저, 바이트 선택 트랜지스터의 채널 방향(폭에 수직인 방향)이 메모리 트랜지스터의 채널 방향과 평행한 경우를 가정해보자. 도 3을 참조하면, 바이트 선택 트랜지스터의 채널 폭을 충분하게 확보하기 위해서는, 바이트 선택 트랜지스터의 채널 폭은 x축 방향으로 상당히 긴 구조이어야 한다.

<66> 이 경우, 단위 바이트 메모리 셀의 모양이 y축 방향에 비하여 x축 방향의 길이가 너무 큰 직사각형 모양이 된다. 단위 메모리 셀의 모양이 가로 및 세로 방향이 길이 차이가 많이 생기는 것은 전체 메모리 셀의 레이아웃 측면에서 볼 때 바람직하지 않다. 또한, 이 방법은 바이트 선택 트랜지스터로부터 각 메모리 트랜지스터까지의 거리가 위치에 따라서 차이가 크다. 거리 차이가 존재하면, 바이트 선택 트랜지스터로부터 각 메모리 트랜지스터까지의 저항에서 차이가 생긴다. 저항의 차이는 각 메모리 트랜지스터의 동작 전압 및 채널 전류의 차이로 나타나기 때문에, 반도체 메모리 장치의 동작 특성에 바람직하지 않다.

<67> 다음으로, 바이트 선택 트랜지스터의 채널 방향이 메모리 트랜지스터의 채널 방향에 수직인 경우를 가정해보자. 바이트 선택 트랜지스터의 채널 폭을 충분하게 확보하기 위해서는 바

이트 선택 트랜지스터의 채널 폭은 y축 방향으로 상당히 긴 구조이어야 한다. 그런데, 메모리 트랜지스터의 채널 길이(y축 방향)는 요구되는 전기적 특성상 일정한 크기로 제약되어 있기 때문에, 메모리 트랜지스터의 채널 길이와 바이트 선택 트랜지스터의 채널 폭은 차이가 많이 생기게 된다.

<68> 그러므로, 이와 같은 구조에서는, 메모리 트랜지스터의 상부 및/또는 하부 공간에 불필요한 공간이 발생한다. 불필요한 공간이 있으면, 메모리 셀 어레이 전체 영역이 차지하는 면적을 증가시키기 때문에, 반도체 메모리 장치의 집적도를 증가시키는데에 장애가 된다. 아울러, 전자의 경우와 마찬가지로 바이트 선택 트랜지스터로부터 각 메모리 트랜지스터까지의 거리가 위치에 따라서 차이가 생기는 단점도 있다.

<69> 그러므로, 본 발명의 실시예에 의한 레이아웃을 이용하여 바이트 선택 트랜지스터를 메모리 트랜지스터의 상부 또는 하부에 배치하면, 상기한 것과 같은 문제점을 해결할 수 있는 장점이 있다.

<70> 다음으로, 도 4a 및 도 4b와 도 5a 및 도 5b를 참조하여 본 발명에 따른 레이아웃에 따라 형성된 메모리 트랜지스터 및 바이트 선택 트랜지스터의 구조에 대하여 구체적으로 살펴보기로 한다.

<71> 도 2를 참조하여 기술한 바와 같이, 메모리 트랜지스터(210)는 F-N 터널링 방식으로 작동하는 소자이거나 소스 사이드 인젝션 방식으로 작동하는 소자일 수 있다. 그러나, 본 발명의 실시예에 의한 레이아웃은 메모리 트랜지스터(210)가 프로그램 및/또는 소거 동작 시에 소스 사이드 인젝션 방식으로 작동하는 소자일 경우에 더욱 적합하다.

- <72> 메모리 트랜지스터(210)가 소스 사이드 인젝션 방식으로 작동하는 소자인 경우에, 메모리 트랜지스터(210)의 게이트 전극 구조물은 플로팅 게이트 적층형(stacked floating gate type)이거나 소노스(Silicon-Oxide-Nitride-Oxide-Silicon, SONOS)형 또는 모노스(Metal-Oxide-Nitride-Oxide-Silicon, MONOS)형일 수도 있다.
- <73> 게이트 전극 구조물이 소노스형이거나 모노스형인 트랜지스터(이하, 양자를 통칭하여 '소노스형 메모리 트랜지스터'라 한다)인 경우에, 이 소노스형 메모리 트랜지스터는 도 4a 및 도 4b에 도시된 바와 같이, 그 트랜지스터의 채널 영역과 동일한 폭을 가지는 제1 산화막, 질화막, 제2 산화막 및 도전체막이 순차적으로 적층된 구조일 수 있다. 이와는 달리, 도 5a 및 도 5b에 도시된 바와 같이, 각 막의 적층 순서 및 질화막을 제외한 다른 막의 폭은 전자의 경우와 동일하나, 질화막의 폭이 그 트랜지스터의 채널 영역의 폭보다 더 작은 구조일 수도 있다. 후자의 경우에 전자 또는 정공이 인젝션되어 이동하는 위치가 소노스형 메모리 트랜지스터의 소스 부근이기 때문에, 질화막은 일반적으로 트랜지스터의 소스 부근에 위치한다. 도 4a, 도 4b, 도 5a 및 도 5b는 도 3의 A-A'라인을 따라 절단한 개략적인 단면도이다.
- <74> 도 4a, 도 4b, 도 5a 및 도 5b를 참조하면, 그 좌측에 도시된 트랜지스터는 메모리 트랜지스터이고, 우측에 도시된 트랜지스터는 바이트 선택 트랜지스터이다. 그리고, 전술한 바와 같이 도 4a, 도 4b, 도 5a 및 도 5b에 도시된 메모리 트랜지스터는 소노스형 메모리 트랜지스터이다. 그러나, 본 발명은 소노스형 메모리 트랜지스터가 아닌 다른 유형의 메모리 트랜지스터에도 적용이 가능하다.
- <75> 도 4a 및 도 4b에 도시된 소노스형 메모리 트랜지스터를 구성하는 제1 산화막(331), 질화막(332a), 제2 산화(333)막 및 폴리 실리콘막(334)의 폭이 그 트랜지스터의 채널 폭과 거의 같다. 그리고, 메모리 트랜지스터가 모노스형 트랜지스터인 경우에는 폴리 실리콘막(334)은 금

속 물질로 된 금속막으로 바뀌어야 한다. 하지만, 나머지 물질 및 구조는 소노스형 트랜지스터와 동일할 수 있다.

<76> 반면, 도 5a 및 도 5b에 도시된 소노스형 메모리 트랜지스터는 질화막(332b)의 폭이 그 트랜지스터의 채널 폭보다 작다. 하지만, 제1 산화막(331), 제2 산화막(333) 및 폴리실리콘막(334)의 폭은 채널 폭과 거의 같다. 도 5a 및 도 5b의 경우에, 질화막(332b)은 소노스형 메모리 트랜지스터의 한쪽 측면에 위치할 수 있다.

<77> 그리고, 상기한 메모리 트랜지스터의 게이트 전극 구조물 구조에 상관없이 바이트 선택 트랜지스터의 게이트 전극 구조물은 게이트 산화막(336) 및 게이트 도전막(338)이 적층된 통상적인 트랜지스터 구조일 수 있다.

<78> 도 4a, 도 4b, 도 5a 및 도 5b에 도시된 바이트 오퍼레이션 비휘발성 반도체 메모리 장치의 프로그램, 소거 및 읽기 동작 시에 각 소자에 가해지는 전압의 일 예가 표 1에 개시되어 있다. 표 1에서 V_{gs1} 은 글로벌 소스 라인에 인가되는 전압을, V_{bs1} 은 바이트 선택 라인에 인가되는 전압을, V_{w1} 은 워드 라인에 인가되는 전압을, V_{b1} 은 비트 라인에 인가되는 전압을 나타내고 그리고 V_b 는 벌크 전압 즉 실리콘 기판에 인가되는 전압을 나타낸다.

<79> 【표 1】

	V_{gs1}	V_{bs1}	V_{w1}	V_{b1}	V_b
프로그램	6V	6V	5.5V	1V	GND
소거	6V	6V	-5V	플로팅	GND
읽기	GND	1.8V	2.5V 또는 3.3V	0.5V	GND

<80> 계속해서, 도 4a, 도 4b, 도 5a 및 도 5b의 단면도를 참조하여 본 발명에 의한 비휘발성 반도체 메모리 소자의 실시예를 보다 구체적으로 살펴보기로 한다.

- <81> 먼저, 도 4a를 참조하면, 반도체 기판(300) 상에는 메모리 트랜지스터의 게이트 전극 구조물 및 바이트 선택 트랜지스터의 게이트 전극 구조물이 형성되어 있다. 메모리 트랜지스터의 채널은 반도체 기판(300)의 제1 도전형 예컨대 p형 웰 영역(310a)에 형성되어 있다. 그러나, 바이트 선택 트랜지스터의 채널은 웰 영역이 아닌 네이티브 반도체 기판(native semiconductor substrate)에 형성되어 있다.
- <82> 메모리 트랜지스터의 게이트 전극 구조물 양옆의 반도체 기판에는 소스/드레인 영역(322 및 324)이 형성되어 있고, 바이트 선택 트랜지스터의 게이트 전극 구조물의 양옆의 반도체 기판에도 소스/드레인 영역(320 및 322)이 형성되어 있다. 소스/드레인 영역(320, 322 및 324)은 반도체 기판(300)에 예를 들어, n형 불순물을 주입하여 형성할 수 있다.
- <83> 도 4a 및 도 5a에 도시된 반도체 메모리 장치의 구조적 특징 중의 하나는 메모리 트랜지스터의 채널 영역이 p형 웰 영역(310a)에 형성되는 것과는 달리, 바이트 선택 트랜지스터의 채널은 p형 웰 영역(310a)이 아닌 네이티브 기판에 형성된다는 점이다. 이와 같이, 바이트 선택 트랜지스터의 채널이 네이티브 기판에 형성하면, 바이트 선택 트랜지스터의 문턱 전압이 낮게 할 수 있다. 즉, 문턱 전압이 0V 이하가 되게 할 수 있다.
- <84> 문턱 전압이 0V 이하가 되면, 도 2를 참조하여 기술한 바와 같이 바이트 선택 트랜지스터에서 전위가 낮아지는 현상 즉 기판 효과(substrate effect)를 방지하거나 또는 최소화할 수 있기 때문에, 바이트 선택 트랜지스터를 통하여 메모리 트랜지스터의 소스/드레인 영역(322)에 전달되는 전압이 낮아지지 않는다. 따라서, 충분한 전류 구동 능력을 확보할 수도 있다.
- <85> 반면, 도 4b 및 도 5b에 도시된 반도체 메모리 장치는 바이트 선택 트랜지스터의 채널이 메모리 트랜지스터의 채널과 마찬가지로 제1 도전성 웰 영역(310b)에 형성되어 있다. 이것은 도 4a 및 도 5a에 도시된 반도체 메모리 소자와 상이한 점이다. 따라서, 도 4b 및 도 5b에 의

한 반도체 메모리 장치는, 도 4a 및 도 5a의 경우와는 달리, 바이트 선택 트랜지스터의 문턱 전압이 높아진다. 그렇기 때문에, 바이트 선택 트랜지스터를 통하여 전달되는 전압이 낮아지는 기판 효과가 발생할 수도 있는 단점이 있다.

<86> 그러나, 도 4b 및 도 5b에 도시된 실시예에 의하면, 도 4a 및 도 5a에 도시된 실시예와 비교하여 바이트 선택 트랜지스터의 게이트 전극 구조물과 메모리 트랜지스터의 게이트 전극 구조물 사이의 간격을 좁힐 수가 있는 장점이 있다. 이것은 동일한 p형 웰 영역(310b)에 바이트 선택 트랜지스터 및 메모리 트랜지스터를 모두 형성할 수 있기 때문이다. 이와 같이, 게이트 전극 구조물 사이의 간격이 줄어들면 단위 바이트 메모리 셀의 크기가 감소하기 때문에, 고집적화에 유리한 장점이 있다.

<87> 상기한 메모리 셀 등가회로도 및 메모리 셀 레이아웃을 가진 바이트 오퍼레이션 비휘발성 반도체 메모리 장치는 바이트 단위의 프로그램, 소거 및 동작이 요구되는 전자기기에 이용이 가능하다. 특히, 본 발명에 의한 비휘발성 반도체 메모리 장치는 바이트 단위의 일괄 소거 방식이 많이 요구되는 메모리 카드의 내장형 메모리용으로 보다 적합하다.

【발명의 효과】

<88> 본 발명에 의한 바이트 오퍼레이션 비휘발성 반도체 메모리 장치의 메모리 셀 등가회로도는 바이트 선택 트랜지스터의 전류 구동 능력이 메모리 장치의 성능과 밀접한 관련을 가지는 특성을 보여준다.

<89> 그리고, 본 발명에 의한 바이트 오퍼레이션 비휘발성 반도체 메모리 장치의 메모리 셀 레이아웃에 의하면, 바이트 선택 트랜지스터가 일방향으로 레이아웃된 1바이트 메모리 트랜지스터의 배열방향과 수직하는 방향으로의 상부 또는 하부에 바이트 선택 트랜지스터가

배치된다. 따라서, 본 발명에 의하면 반도체 메모리 장치는 바이트 오퍼레이션이라는 요구 조건을 만족시킬 뿐만이 아니라, 바이트 선택 트랜지스터를 통하여 충분한 양의 전류를 흐르게 할 수가 있으며, 기판 효과 등으로 인하여 바이트 선택 트랜지스터에서 전압이 강하되는 현상을 방지할 수 있다.

<90> 아울러, 바이트 메모리 셀이 점유하는 면적의 넓이를 줄일 수 있기 때문에 집적도를 증가시킬 수가 있으며, 바이트 선택 트랜지스터가 미세화되어도 충분한 채널 폭을 확보할 수 있다.

【특허청구범위】**【청구항 1】**

액티브 영역 및 소자 격리 영역으로 한정된 반도체 기판;

일 방향으로 길게 배열되어 상기 액티브 영역에 각각의 정션 영역 및 채널 영역이 형성되어 있는 1바이트 메모리 트랜지스터; 및

상기 액티브 영역에 형성되어 있고, 정션 영역이 상기 1바이트 메모리 트랜지스터 각각의 정션 영역과 직접 연결되어 있는 바이트 선택 트랜지스터가 구비된 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 바이트 선택 트랜지스터는 상기 1바이트 메모리 트랜지스터가 배열된 방향에 대하여 수직한 방향으로 상기 1바이트 메모리 트랜지스터의 상부 또는 하부에 형성되어 있는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 바이트 선택 트랜지스터의 정션 영역과 직접 연결되어 있는 상기 1바이트 메모리 트랜지스터 각각의 상기 정션 영역은 소스 영역인 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 1바이트 메모리 트랜지스터 각각의 상기 정션 영역과 직접 연결되어 있는 상기 바이트 선택 트랜지스터의 상기 정션 영역은 드레인 영역인 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 5】

제1항에 있어서, 상기 바이트 선택 트랜지스터의 상기 정션 영역 및 상기 채널 영역은 불순물이 도핑되지 않은 네이티브 반도체 기판에 형성되어 있는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 6】

제1항에 있어서, 상기 바이트 선택 트랜지스터의 상기 정션 영역 및 상기 채널 영역은 불순물이 도핑된 도전성 웰 영역에 형성되어 있는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 1바이트 메모리 트랜지스터의 상기 정션 영역 및 상기 채널 영역은 상기 도전성 웰 영역에 형성되어 있는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 8】

제1항에 있어서, 상기 1바이트 메모리 트랜지스터를 구성하는 각각의 메모리 트랜지스터는 소스 사이드 인젝션 방식으로 작동하는 소자인 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 9】

제1항에 있어서, 상기 바이트 선택 트랜지스터의 채널 영역의 폭은 상기 1바이트 메모리 트랜지스터 각각의 채널 영역의 폭을 합한 것 보다 더 큰 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 10】

제9항에 있어서, 상기 바이트 선택 트랜지스터의 채널 영역의 폭은 상기 1바이트 메모리 트랜지스터 각각의 채널 영역의 폭의 합과 상기 1바이트 메모리 트랜지스터 각각을 격리시키는 상기 반도체 기판의 격리 영역의 폭의 합을 더한 것과 같거나 더 큰 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 11】

제1항에 있어서, 상기 1바이트 메모리 트랜지스터를 구성하는 각각의 메모리 트랜지스터는 플로팅 게이트형 트랜지스터인 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 12】

제1항에 있어서, 상기 1바이트 메모리 트랜지스터를 구성하는 각각의 메모리 트랜지스터는 소노스(SONOS)형 트랜지스터 또는 모노스(MONOS)형 트랜지스터(이하, 양자를 모두 지칭할 때는 '소노스형 메모리 트랜지스터'라고 한다)인 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 13】

제12항에 있어서, 상기 소노스형 메모리 트랜지스터의 게이트 전극 구조물은, 동일한 폭을 가지는 제1 산화막, 질화막, 제2 산화막 및 도전체막이 순차적으로 적층되어 구비되어 있는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 14】

제12항에 있어서, 상기 소노스형 메모리 트랜지스터의 게이트 전극 구조물은, 제1 산화막, 폭의 크기가 상기 제1 산화막의 폭의 크기보다 작은 질화막, 폭의 크기가 상기 제1 산화막의 폭과 같은 제2 산화막 및 폭의 크기가 상기 제1 산화막의 폭과 같은 도전체막이 순차적으로 적층되어 구비되어 있는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치

【청구항 15】

다수의 바이트 메모리 셀을 포함하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치에 있어서, 상기 바이트 메모리 셀은

1 바이트 메모리 트랜지스터가 일 방향으로 길게 배열되어 있는 메모리 셀 블록; 및

상기 1바이트 메모리 셀 트랜지스터가 배열되어 있는 방향에 수직한 방향으로 상기 메모리 셀 블록에 대하여 상부 또는 하부에 평행하게 배열되어 있는 바이트 오퍼레이션 블록을 포함하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 16】

제15항에 있어서, 상기 반도체 메모리 장치는

상기 1바이트 메모리 트랜지스터 각각의 드레인 영역과 전기적으로 연결되어 있는 다수의 비트 라인;

상기 바이트 선택 트랜지스터의 소스 영역과 전기적으로 연결되어 있는 다수의 글로벌 소스 라인;

상기 1바이트 메모리 트랜지스터 각각의 게이트 전극이 연결되어 있는 다수의 워드 라인; 및

상기 바이트 선택 트랜지스터의 게이트 전극이 연결되어 있는 다수의 바이트 선택 라인을 포함하고,

상기 1바이트 메모리 트랜지스터 각각의 소스 영역은 상기 바이트 선택 트랜지스터의 드레인 영역과 공통 정션 영역을 형성하는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 17】

제16항에 있어서, 상기 워드 라인과 상기 바이트 선택 라인은 서로 평행한 것을 특징으로 하는 바이트 오퍼레이션 반도체 메모리 장치.

【청구항 18】

제16항에 있어서, 상기 공통 정션 영역은 불순물이 도핑된 도전성 웰 영역 내에 형성되어 있는 것을 특징으로 하는 바이트 오퍼레이션 반도체 메모리 장치.

【청구항 19】

제16항에 있어서, 상기 공통 정션 영역의 일부는 불순물이 도핑된 도전성 웰 영역에 형성되어 있고, 상기 공통 정션 영역의 나머지 일부는 네이티브 반도체 기판에 형성되어 있는 것을 특징으로 하는 바이트 오퍼레이션 반도체 메모리 장치.

【청구항 20】

제15항에 있어서, 상기 바이트 선택 트랜지스터의 소스 영역, 드레인 영역 및 채널 영역은 불순물이 도핑되지 않은 네이티브 반도체 기판에 형성되어 있는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 21】

제15항에 있어서, 상기 바이트 선택 트랜지스터의 소스 영역, 드레인 영역 및 상기 채널 영역은 불순물이 도핑된 도전성 웰 영역에 형성되어 있는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 22】

제21항에 있어서, 상기 1바이트 메모리 트랜지스터 각각의 소스 영역, 드레인 영역 및 채널 영역은 상기 도전성 웰 영역에 형성되어 있는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 23】

제15항에 있어서, 상기 1바이트 메모리 트랜지스터를 구성하는 각각의 메모리 트랜지스터는 소스 사이드 인젝션 방식으로 작동하는 소자인 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 24】

제15항에 있어서, 상기 바이트 선택 트랜지스터의 채널 영역의 폭은 상기 1바이트 메모리 트랜지스터 각각의 채널 영역의 폭을 합한 것 보다 더 큰 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 25】

제15항에 있어서, 상기 1바이트 메모리 트랜지스터를 구성하는 각각의 메모리 트랜지스터는 플로팅 게이트형 트랜지스터인 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 26】

제15항에 있어서, 상기 1바이트 메모리 트랜지스터를 구성하는 각각의 메모리 트랜지스터는 소노스형 메모리 트랜지스터인 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 27】

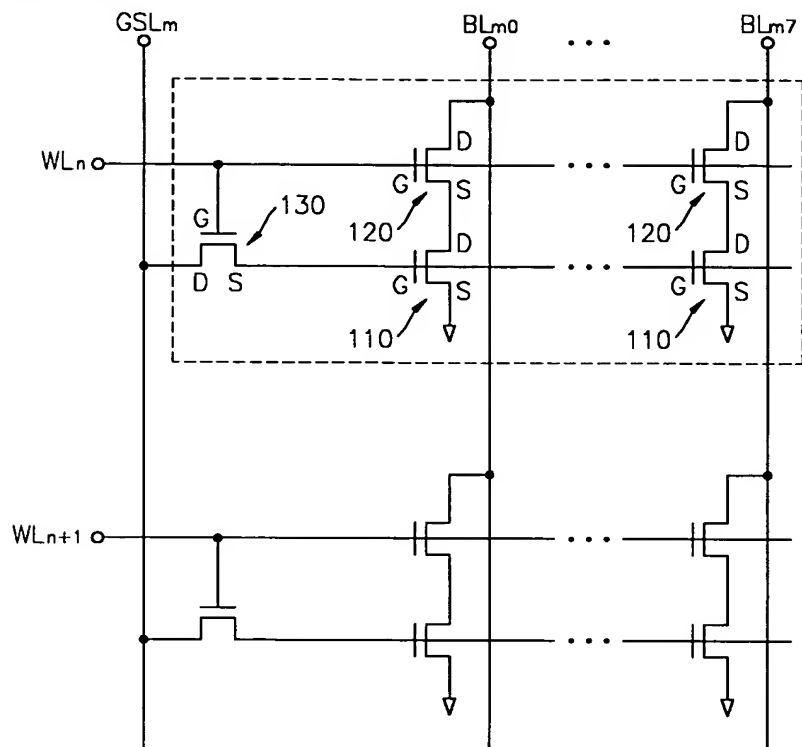
제26항에 있어서, 상기 소노스형 메모리 트랜지스터의 게이트 전극 구조물은, 동일한 폭을 가지는 제1 산화막, 질화막, 제2 산화막 및 도전체막이 순차적으로 적층되어 구비되어 있는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【청구항 28】

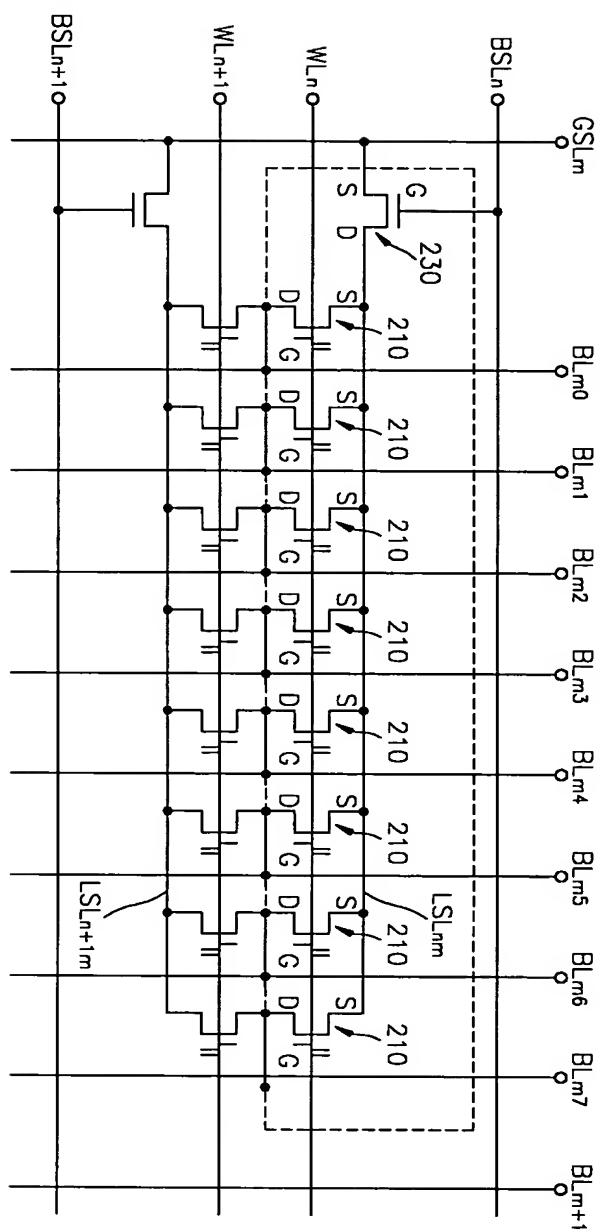
제26항에 있어서, 상기 소노스형 메모리 트랜지스터의 게이트 전극 구조물은, 제1 산화막, 폭의 크기가 상기 제1 산화막의 폭의 크기보다 작은 질화막, 폭의 크기가 상기 제1 산화막의 폭과 같은 제2 산화막 및 폭의 크기가 상기 제1 산화막의 폭과 같은 도전체막이 순차적으로 적층되어 구비되어 있는 것을 특징으로 하는 바이트 오퍼레이션 비휘발성 반도체 메모리 장치.

【도면】

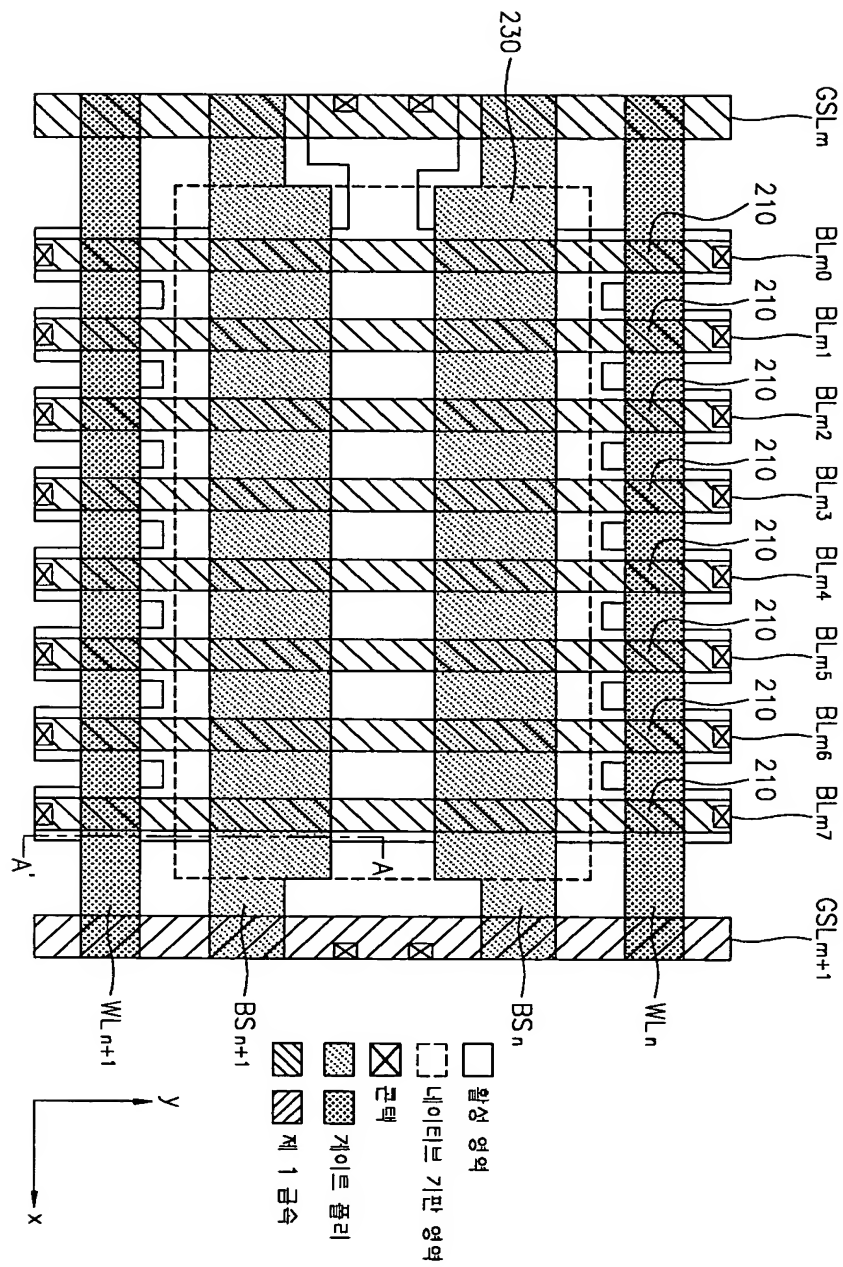
【도 1】



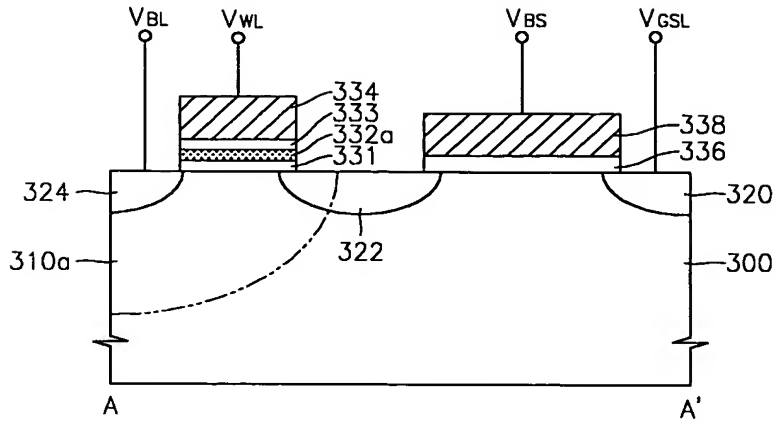
【도 2】



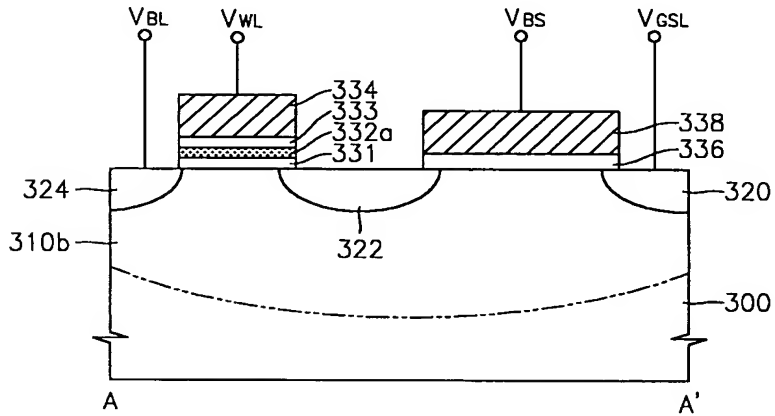
【도 3】



【도 4a】



【도 4b】



【도 5a】

